



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0049466
Application Number

출원 년 월 일 : 2003년 07월 18일
Date of Application JUL 18, 2003

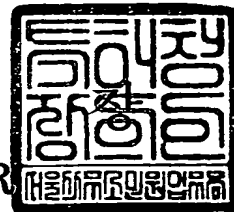
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 06 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0076
【제출일자】 2003.07.18
【발명의 명칭】 반도체 소자의 절연막 형성 방법
【발명의 영문명칭】 Method of forming a dielectric layer in a semiconductor device
【출원인】
【명칭】 (주)하이닉스 반도체
【출원인코드】 1-1998-004569-8
【대리인】
【성명】 신영무
【대리인코드】 9-1998-000265-6
【포괄위임등록번호】 1999-003525-1
【발명자】
【성명의 국문표기】 황성보
【성명의 영문표기】 HWANG, Sung Bo
【주민등록번호】 650907-1405910
【우편번호】 305-308
【주소】 대전광역시 유성구 장대동 신성월드컵웨밀리 104-501
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 신영무 (인)
【수수료】
【기본출원료】 11 면 29,000 원
【가산출원료】 0 면 0 원
【우선권주장료】 0 건 0 원
【심사청구료】 5 항 269,000 원
【합계】 298,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 반도체 소자의 절연막 형성 방법에 관한 것으로, 반도체 기판 상에 발포제가 포함된 저유전율 절연막을 형성하고, 듀얼 다마신 공정으로 저유전율 절연막에 콘택홀이나 트렌치를 형성한 후, 발포제가 포함된 저유전율 절연막을 다공질 저유전율 절연막으로 형성함으로써, 듀얼 다마신 공정에서 사용된 화학 물질이 다공질 저유전율 절연막의 기공에 잔류하는 것을 방지하여 콘택홀이나 트렌치에 형성되는 금속 배선이 부식되는 것을 방지하고 공정의 신뢰성 및 소자의 전기적 특성을 향상시킬 수 있다.

【대표도】

도 1

【색인어】

발포제, 다공질 절연막, 유전율, 부식

**【명세서】****【발명의 명칭】**

반도체 소자의 절연막 형성 방법{Method of forming a dielectric layer in a semiconductor device}

【도면의 간단한 설명】

도 1a 내지 도 1c는 본 발명의 실시예에 따른 반도체 소자의 절연막 형성 방법을 설명하기 위한 소자의 단면도들이다.

<도면의 주요 부분에 대한 부호의 설명>

101 : 반도체 기판 102 : 발포제가 포함된 저유전율 절연막

103 : 듀얼 다마신 패턴 104 : 다공질 저유전율 절연막

104a : 기공

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<6> 본 발명은 반도체 소자의 절연막 형성 방법에 관한 것으로, 특히 절연막을 다공질 저유전율 절연막으로 형성하는 반도체 소자의 절연막 형성 방법에 관한 것이다.

- <7> 금속 배선 사이에는 절연막이 형성되어 인접한 금속 배선들을 전기적으로 절연시킨다. 이때, 금속 배선/절연막/금속 배선의 구조는 커패시터의 상부 전극/유전체막/하부 전극의 구조와 유사하기 때문에 기생 커패시터가 형성된다. 이로 인해, 금속 배선의 저항 성분과 기생 커패시턴스에 의해 발생하는 RC 지연에 의하여 소자의 동작 속도가 저하되는 문제점이 발생된다. 뿐만 아니라, 금속 배선을 통해 전달되는 전기 신호에 영향을 주기 때문에 소자의 신뢰성이 저하된다.
- <8> 이로 인해, 금속 배선 사이에 형성되는 절연막을 유전율이 낮은 저유전율 절연막으로 형성하고 있다. 하지만, 집적도가 높아져 배선 사이의 간격이 좁아지기 때문에, 유전율이 낮은 물질로 절연막을 형성하여 전체적인 유전율을 낮추는 방법으로 기생 커패시터가 형성되는 것을 방지하기에는 한계가 있다.
- <9> 최근에는, 이러한 문제점을 해결하기 위하여, 유전율이 가장 낮은 공기가 포함된 다공질 저유전율 절연막을 형성하고 있다. 하지만, 듀얼 다마신 공정으로 다공질 저유전율 절연막에 콘택홀(또는, 비아홀)이나 트렌치를 형성하는 과정에, 절연막을 식각하기 위하여 사용된 화학 물질(Chemical)이 다공질 저유전율 절연막의 기공으로 유입되어 잔류되는 문제점이 발생된다.
- <10> 이렇게, 기공에 화학 물질이 잔류되면, 후속 공정에서 형성되는 금속 배선이 화학 물질에 의해 부식되는 등 소자의 불량을 유발할 수 있다. 따라서, 다공질 저유전율 절연막의 표면에 치밀한 막을 형성해야 하며, 이로 인해 공정 단계가 복잡해지고, 공정 시간이 길어지게 된다.



【발명이 이루고자 하는 기술적 과제】

- <11> 이에 대하여, 본 발명이 제시하는 반도체 소자의 절연막 형성 방법은 반도체 기판 상에 발포제가 포함된 저유전율 절연막을 형성하고, 듀얼 다마신 공정으로 저유전율 절연막에 콘택홀이나 트렌치를 형성한 후, 발포제가 포함된 저유전율 절연막을 다공질 저유전율 절연막으로 형성함으로써, 듀얼 다마신 공정에서 사용된 화학 물질이 다공질 저유전율 절연막의 기공에 잔류하는 것을 방지하여 콘택홀이나 트렌치에 형성되는 금속 배선이 부식되는 것을 방지하고 공정의 신뢰성 및 소자의 전기적 특성을 향상시킬 수 있다.

【발명의 구성 및 작용】

- <12> 본 발명의 실시예에 따른 반도체 소자의 절연막 형성 방법은 반도체 소자를 형성하기 위한 여러 요소가 형성된 반도체 기판 상에 발포제가 포함된 저유전율 절연막을 형성하는 단계와, 저유전율 절연막에 듀얼 다마신 패턴을 형성하는 단계, 및 발포제가 반응하여 기공이 형성되도록 열처리 공정을 실시하여 저유전율 절연막을 다공질 저유전율 절연막으로 형성하는 단계를 포함한다.
- <13> 상기에서, 발포제로 PMMA(poly methyl metacrylate) 혼성 중합체(Copolymer) 와 지방족 화합물(Aliphatic) 또는 방향족 코어(Aromatic core)를 가지는 고분자(ϵ -caprolactone)가 사용될 수 있다. 한편, 저유전율 절연막의 매트릭스로 메틸 실세스키옥산(Methyl Silsesquioxane)가 사용될 수 있다.
- <14> 듀얼 다마신 패턴을 형성하는 공정은 발포제의 종류에 따라 발포제가 반응하지 않는 온도에서 실시되는 것이 바람직하다.

- <15> 듀얼 다마신 패턴을 형성하는 공정이 -50°C 내지 상온에서 실시되는 것이 바람직하다.
- <16> 열처리 공정은 발포제의 종류에 따라 발포제가 충분히 반응할 수 있는 온도에서 실시되는 것이 바람직하다. 이때, 열처리 공정이 200°C 내지 500°C 의 온도에서 실시될 수 있다.
- <17> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다. 단지 본 실시예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명의 범위는 본원의 특허 청구 범위에 의해서 이해되어야 한다.
- <18> 한편, 어떤 막이 다른 막 또는 반도체 기판의 '상'에 있다라고 기재되는 경우에 상기 어떤 막은 상기 다른 막 또는 반도체 기판에 직접 접촉하여 존재할 수 있고, 또는 그 사이에 제3의 막이 개재되어질 수도 있다. 또한 도면에서 각 층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장되었다. 도면 상에서 동일 부호는 동일한 요소를 지칭한다.
- <19> 도 1a 내지 도 1c는 본 발명의 실시예에 따른 반도체 소자의 절연막 형성 방법을 설명하기 위한 소자의 단면도들이다.
- <20> 도 1a를 참조하면, 트랜지스터, 플래시 메모리 셀 또는 금속 배선과 같이 반도체 소자를 형성하기 위한 여러 요소가 형성된 반도체 기판(101)의 전체 구조 상에 발포제가 포함된 저유전을 절연막(102)을 형성한다. 이때, 저유전을 절연막(102)은 트랙 장비에서 형성하는 것이 바람직하다.

- <21> 발포제는 박막 내에 기공을 형성하기 위한 재료이다.
- <22> 상기에서, SOD방식으로 저유전율 절연막을 도포하는 경우에는, 폴리머의 발포제를 혼합 (Blending)하여 도포한 후, 후속 열처리로 열화시켜 휘발시킨다. 발포제로는 열적 안정성이 불안하여 약 400℃ 에서 열화되어 휘발되는 물질을 사용할 수 있다. 좀 더 구체적으로 예를 들면, 저유전율 절연막의 매트릭스(Matrix)로 메틸 실세스키옥산(Methyl Silsesquioxane; MSSQ)를 사용할 수 있으며, 발포제로는 PMMA(poly methyl metacrylate) 혼성 중합체 (Copolymer) 와 지방족 화합물(Aliphatic) 또는 방향족 코어(Aromatic core)를 가지는 고분자 등을 사용할 수 있다.
- <23> 한편, 다공질 저유전율 절연막(102)을 PECVD법으로 증착하여 형성하는 경우에는, CH_x기를 포함하는 전구체(Precursor)를 발포제로 사용할 수 있다. 이 경우, 증착 시 박막 내에 내포된 CH 일부(Fragment)가 휘발되어 기공이 형성되며, 구체적으로 예를 들면, 비닐(vinyl)기를 발포제로 사용할 수 있다.
- <24> 도 1b를 참조하면, 듀얼 다마신 공정으로 저유전율 절연막(102)에 콘택홀이나 트렌치가 포함된 듀얼 다마신 패턴(103)을 형성한다. 이로써, 저유전율 절연막(102) 하부에 형성된 접합 영역(도시되지 않음)이 듀얼 다마신 패턴(103)을 통해 노출된다. 이때, 저유전율 절연막(102)에 기공이 형성되기 전에 듀얼 다마신 공정을 실시하기 때문에, 듀얼 다마신 공정이 완료된 후에는 듀얼 다마신 공정 시 사용된 화학 물질이 저유전율 절연막(102) 내부에 잔류되지 않고 완전히 제거된다.
- <25> 여기서, 듀얼 다마신 공정을 고온에서 실시하면, 저유전율 절연막(102)에 포함된 발포제가 반응하여 저유전율 절연막(102) 내부에 기공이 형성될 수 있으므로, 듀얼 다마신 공정은 상



온에서 실시하거나 발포제에 따라 발포제가 반응하지 않을 정도의 저온(예를 들면, -50°C)에서 실시하는 것이 바람직하다.

<26> 도 1c를 참조하면, 저유전율 절연막(102) 내부에 포함된 발포제가 반응하도록 열처리 공정을 실시하여 저유전율 절연막(102)을 수많은 기공(104a)이 포함된 다공질 저유전율 절연막(102)을 형성한다. 이때, 열처리 공정은 발포제에 따라 발포제가 충분히 반응할 수 있는 온도에서 실시하며, 200°C 내지 500°C 의 고온에서 실시하는 것이 바람직하다.

<27> 이로써, 기공에 화학물질이 잔류되는 것을 방지하면서, 듀얼 다마신 공정으로 유전율이 가장 낮은 공기가 포함된 다공질 저유전율 절연막(104)에 듀얼 다마신 패턴(103)이 형성된다.

【발명의 효과】

<28> 상술한 바와 같이, 본 발명은 반도체 기판 상에 발포제가 포함된 저유전율 절연막을 형성하고, 듀얼 다마신 공정으로 저유전율 절연막에 콘택홀이나 트렌치를 형성한 후, 발포제가 포함된 저유전율 절연막을 다공질 저유전율 절연막으로 형성함으로써, 듀얼 다마신 공정에서 사용된 화학 물질이 다공질 저유전율 절연막의 기공에 잔류하는 것을 방지하여 콘택홀이나 트렌치에 형성되는 금속 배선이 부식되는 것을 방지하고 공정의 신뢰성 및 소자의 전기적 특성을 향상시킬 수 있다.

【특허청구범위】**【청구항 1】**

반도체 소자를 형성하기 위한 여러 요소가 형성된 반도체 기판 상에 발포제가 포함된 저유전율 절연막을 형성하는 단계;

상기 저유전율 절연막에 듀얼 다마신 패턴을 형성하는 단계; 및

상기 발포제가 반응하여 기공이 형성되도록 열처리 공정을 실시하여 상기 저 유전율 절연막을 다공질 저유전율 절연막으로 형성하는 단계를 포함하는 반도체 소자의 절연막 형성 방법.

【청구항 2】

제 1 항에 있어서,

상기 발포제로 PMMA(poly methyl metacrylate) 혼성 중합체 와 지방족 화합물 또는 방향족 코어를 가지는 고분자가 사용되는 반도체 소자의 절연막 형성 방법.

【청구항 3】

제 1 항에 있어서,

상기 저유전율 절연막의 매트릭스로 메틸 실세스키옥산이 사용되는 반도체 소자의 절연막 형성 방법.

【청구항 4】

제 1 항에 있어서,

상기 듀얼 다마신 패턴을 형성하는 공정이 -50°C 내지 상온에서 실시되는 반도체 소자의 절연막 형성 방법.

【청구항 5】

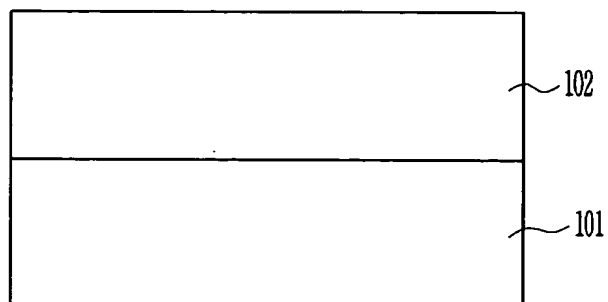
제 1 항에 있어서,

상기 열처리 공정이 200°C 내지 500°C 의 온도에서 실시되는 반도체 소자의 절연막 형성 방법.

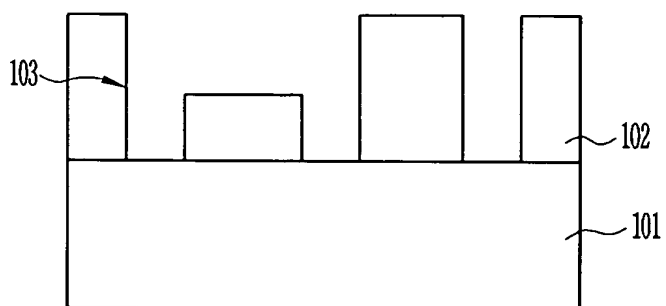
【도면】

【도 1】

(a)



(b)



(c)

